

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-190589

(43)Date of publication of application : 05.07.2002

(51)Int.CI.

H01L 29/78
H01L 21/336
H01L 21/28
H01L 21/8234
H01L 27/088

(21)Application number : 2000-386979

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.12.2000

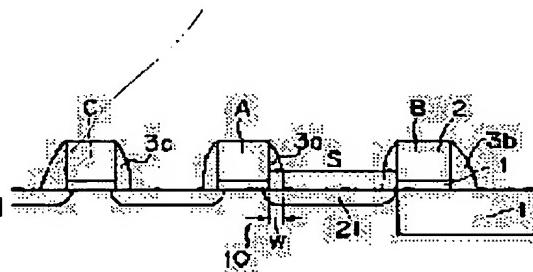
(72)Inventor : HASUNUMA EIJI

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To control the width of a sidewall spacer, to allow the adjustment of transistor characteristics by appropriately arranging dummy gate electrodes for adjusting the arrangement intervals of gate electrodes.

SOLUTION: Sidewall spacers (3a, 3b, 3c) are formed on a desired gate electrode (A) and each dummy gate electrodes (B and C) by dry etching, such as the RIE method so as to adjust the arrangement intervals of the gate electrodes. Consequently, the widths of the sidewall spacers are controlled using etching characteristics, at the formation of the sidewall spacers to obtain the desired transistor characteristics.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-190589
(P2002-190589A)

(43)公開日 平成14年7月5日(2002.7.5)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコト ⁸ (参考)
H 01 L 29/78		H 01 L 21/28	F 4 M 1 0 4
21/336		29/78	3 0 1 L 5 F 0 4 0
21/28		27/08	1 0 2 C 5 F 0 4 8
21/8234			1 0 2 B
27/088		29/78	3 0 1 G

審査請求 未請求 請求項の数14 O L (全 8 頁)

(21)出願番号 特願2000-386979(P2000-386979)

(22)出願日 平成12年12月20日(2000.12.20)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 蓮沼 英司

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100062144

弁理士 青山 葵 (外1名)

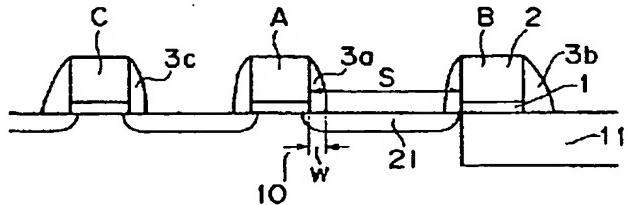
最終頁に統く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 ダミーのゲート電極を適宜配置することで、ゲート電極の配置間隔の粗密の差を調整することによりサイドウォールスペーサの幅を制御し、トランジスタ特性を調整可能とする。

【解決手段】 所望のゲート電極(A)、ダミーのゲート電極(B、C)について、RIE法等のドライエッチングを用いて、各ゲート電極(A、B、C)のサイドウォールスペーサ(3a、3b、3c)を形成し、ゲート電極の配置間隔を調整することにより、サイドウォールスペーサ形成時におけるエッチング特性により、サイドウォール幅を制御して、所望のトランジスタ特性を得る。



【特許請求の範囲】

【請求項1】 サイドウォールスペーサが形成されたトランジスタを有する半導体装置であって、所望のゲート電極に関してゲート電極間の配置間隔の差を調整する手段を備えることにより、上記トランジスタの実効チャンネル長は一定で、上記サイドウォールスペーサの幅を制御し、上記トランジスタの特性を調整することを特徴とする半導体装置。

【請求項2】 上記ゲート電極間隔調整手段は、上記所望のゲート電極に関してその近傍にダミーの電極を配置した構成を有することを特徴とする請求項1に記載の半導体装置。

【請求項3】 上記ゲート電極間隔調整手段は、上記所望のゲート電極に関してその近傍にダミーの電極を配置しない構成を有することを特徴とする請求項1に記載の半導体装置。

【請求項4】 上記ダミーの電極を配置することで上記ゲート電極間の配置間隔の差をなくし、上記サイドウォールスペーサの幅を一定とした請求項2に記載の半導体装置。

【請求項5】 上記ダミーの電極を配置することで上記ゲート電極間の配置間隔の差を変えることにより、上記サイドウォールスペーサの幅を変えた請求項2に記載の半導体装置。

【請求項6】 使用するトランジスタの特性に応じてダミーのゲート電極を配置することで上記ゲート電極間の配置間隔の差を変え、上記サイドウォールスペーサの幅を変えた請求項5に記載の半導体装置。

【請求項7】 上記ダミーの電極の代わりとしてトランジスタを配置することで上記ゲート電極間の配置間隔の差を変え、上記サイドウォールスペーサの幅を変えた請求項3に記載の半導体装置。

【請求項8】 上記所望のゲート電極の片側近傍にダミーのゲート電極を配置することで、上記サイドウォールスペーサの幅が左右で異なる請求項5に記載の半導体装置。

【請求項9】 上記所望のゲート電極を半導体基板の活性領域と交差するように上面コ字形状に折り曲げて配置することで、上記サイドウォールスペーサの幅が左右で異なる請求項3に記載の半導体装置。

【請求項10】 サイドウォールスペーサが形成されたトランジスタを有する半導体装置の製造方法であつて、

フォトレジストのマスクによりドライエッチングを用いてパターン化することによりゲート電極を形成する工程と、

各ゲート電極の上面および側面を覆ってシリコン酸化絶縁膜を堆積し、露出表面全体を被服する工程と、所望のゲート電極とダミーの電極について、RIE法等のドライエッチングを用いて、各ゲート電極のサイドウォ

ールスペーサを形成する工程と、を有し、上記ゲート電極の配置間隔を調整することにより、上記サイドウォールスペーサ形成工程でのエッチング特性により、サイドウォール幅を制御することを特徴とする半導体装置の製造方法。

【請求項11】 上記サイドウォールの成膜前に注入形成する低濃度の不純物領域間の間隔により決まる上記トランジスタの実効チャンネル長は一定にして、上記サイドウォール幅を制御する請求項10に記載の半導体装置の製造方法。

【請求項12】 上記ダミーの電極を配置することで上記ゲート電極間の配置間隔の差をなくし、上記サイドウォールスペーサの幅を一定とした請求項10に記載の半導体装置の製造方法。

【請求項13】 上記ダミーの電極を配置することで上記ゲート電極間の配置間隔の差を変えることにより、上記サイドウォールスペーサの幅を変えた請求項10に記載の半導体装置の製造方法。

【請求項14】 使用するトランジスタの特性に応じてダミーのゲート電極を配置することで上記ゲート電極間の配置間隔の差を変え、上記サイドウォールスペーサの幅を変えた請求項13に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、トランジスタを有する半導体装置に関し、特に、サイドウォールを形成したLDD構造の絶縁ゲート型電界効果トランジスタを有する半導体装置において、ダミーの電極を配置することによりゲート電極のサイドウォールの幅を制御し、所望のトランジスタ特性を得る半導体装置とその製造方法に関する。

【0002】

【従来の技術】近年、集積回路の集積度はますます高くなるにつれてトランジスタのゲート長が短くなり、ショートチャネル(Short Channel)効果やホットキャリア(Hot Carrier)効果が発生するため、LDD(Lightly Doped Drain)構造、即ち、ゲート電極近傍でのドレイン拡散領域部分の不純物濃度をそれ以外の領域部分の不純物濃度よりも小さくした構造が一般に多く採用されている。

【0003】これはMOS型トランジスタだけでなく、同一の基板に複数のゲート電極を平行に配置し、複数のMISトランジスタを直列に接続して形成される半導体装置(多入力ゲート型MISデバイス)においても、各MISトランジスタを、上述のようなLDD構造としていることが多い。

【0004】従来より、絶縁ゲート型電界効果トランジスタ(以後、MISFETという)を有する半導体装置は、RIE法等のドライエッチングを用いてゲート電極の側面に対する成膜、即ち、サイドウォールスペーサを

形成する場合、図14にその断面図を示すように、ゲート電極2の間隔が疎なところではエッチング時の反応生成物が多く堆積するため、サイドウォールスペーサ3aの幅が広くなり、また、図15に示すように、ゲート電極2の間隔が密なところではエッチング時の反応生成物の堆積が少ないため、サイドウォールスペーサ3a'の幅が狭くなり、このようにゲート電極の間隔の疎密の差によってサイドウォールスペーサ3aの幅に差(ばらつき)が生じる。

【0005】本発明では、このサイドウォール形成時のばらつき特性のことを「サイドウォール幅のエッチング特性」または単に「エッチング特性」と呼ぶ。特に、LDD構造を用いたトランジスタでは、このサイドウォールスペーサ3aの幅にばらつきが生じることにより、ソース・ドレイン構造が異なったものとなり、トランジスタ特性に差異が生じて特性のばらつきとなって現れる。

【0006】

【発明が解決しようとする課題】LDD構造を用いたトランジスタでは、サイドウォールスペーサ幅の設定はトランジスタ特性を決定する重要なファクタの1つである。本発明は、上記課題を解決するとともに、サイドウォールスペーサの幅を制御することにより、所望のトランジスタ特性を得る半導体装置を実現することを目的とし、また、ゲート電極配置間隔の疎密の差によるサイドウォールスペーサ幅のばらつきをなくし、トランジスタ特性にばらつきが生じない半導体装置を提供することを目的とする。

【0007】このように、本発明は、サイドウォールスペーサ幅を制御し、サイドウォールスペーサ幅を適宜変えることにより、トランジスタ特性に生じるばらつきをなくしたり、または、トランジスタ特性に生じる差を有効利用し、所望のトランジスタ特性が得られる半導体装置の構造およびその製造方法を提供するものである。

【0008】

【課題を解決するための手段】上記目的を達成するために、本発明は、ダミーのゲート電極を適宜配置することで、ゲート電極の配置間隔の粗密の差を調整することによりサイドウォールスペーサの幅を制御し、トランジスタ特性を調整することを特徴とする。

【0009】本発明の半導体装置は、サイドウォールスペーサが形成されたトランジスタを有する半導体装置であって、所望のゲート電極に関してゲート電極間の配置間隔の差を調整する手段を備えることにより、上記トランジスタの実効チャンネル長は一定で、上記サイドウォールスペーサの幅を制御し、上記トランジスタの特性を調整することを特徴とする。

【0010】上記ゲート電極間隔調整手段は、上記所望のゲート電極に関してその近傍にダミーの電極を配置した構成、または上記所望のゲート電極に関してその近傍にダミーの電極を配置しない構成を有することを特徴と

する。

【0011】上記ダミーの電極を配置することで上記ゲート電極間の配置間隔の差をなくし、上記サイドウォールスペーサの幅を一定とすることもできる。

【0012】また、上記ダミーの電極を配置することで上記ゲート電極間の配置間隔の差を変えることにより、上記サイドウォールスペーサの幅を変えることもできる。

【0013】上記構成によれば、ゲート電極の粗密の差によるサイドウォールスペーサ幅の差をなくすことによりトランジスタ特性をそろえた半導体装置を提供する。

【0014】また、本発明による半導体装置の製造方法は、サイドウォールスペーサが形成されたトランジスタを有する半導体装置の製造方法であって、フォトレジストのマスクによりドライエッチングを用いてパターン化することによりゲート電極を形成する工程と、各ゲート電極の上面および側面を覆ってシリコン酸化絶縁膜を堆積し、露出表面全体を被服する工程と、所望のゲート電極とダミーの電極について、RIE法等のドライエッチングを用いて、各ゲート電極のサイドウォールスペーサを形成する工程と、を有し、上記ゲート電極の配置間隔を調整することにより、上記サイドウォールスペーサ形成工程でのエッチング特性により、サイドウォール幅を制御することを特徴とする。

【0015】上記方法では、トランジスタの実効チャンネル長は、サイドウォール成膜前に注入形成する低濃度の不純物領域間の間隔により決まり、上記トランジスタの実効チャンネル長は一定にして、上記サイドウォール幅を制御することを特徴とする。

【0016】本発明の構成および方法により、ダミーのゲート電極を配置する間隔を調整することにより、サイドウォールスペーサ幅を制御し、所望のトランジスタ特性が得られる半導体装置の構造およびその製造方法を実現する。

【0017】

【発明の実施の形態】

【実施例1】図1乃至図7を用いて本発明の第1の実施例について説明する。なお、各図において共通する要素には同一の符号を付し、重複する説明については省略している。図1乃至図7において、参照番号1はシリコン酸化膜、2はシリコン膜、3はシリコン絶縁膜、10は半導体基板、11は分離領域、Aは所望のゲート電極、BおよびCはダミーのゲート電極、21および22は不純物領域を示す。

【0018】上記構成の半導体装置の製造方法について以下に説明する。先ず、図1に示すように、半導体基板10内に、素子分離領域11を公知の熱酸化膜および酸化膜の埋め込み法などにより形成する。半導体基板10において分離領域11以外の部分が活性領域となる。

【0019】その後、基板表面を熱酸化してシリコン酸

化膜1を形成してゲート絶縁膜とする。次に、シリコン酸化膜1の上全面にシリコン膜2を堆積してゲート電極用の電極層2を形成する。ここで、シリコン酸化膜1は、熱酸化膜、あるいは減圧および常圧CVD法で堆積した非ドープ(*n on-dope*)のシリコン酸化膜であり、膜厚は3～20nmとしている。シリコン膜2はCVD(化学的気相成長)法で堆積した多結晶シリコンやアモルファスシリコンで、例えりん(P)、砒素(As)等をドープ処理したもの、また、Ti、TiN、W等の高融点金属膜のシリサイド膜、またはそれらの重ね(積層)膜、または、W、Al等の導電性金属膜であり、膜厚は50～500nmとしている。

【0020】次に、図2に示すように、フォトレジストのマスクによりRIE(反応性イオンエッチング)法等のドライエッティングを用いてパターン化することによりゲート電極2(A、B、C)を形成する。このとき、所望のゲート電極Aの両側に適当に離間した位置に、ダミーのゲート電極BおよびCをフォトレジストのマスクによりバーニングすることにより形成する。

【0021】次に、図3に示すように、イオン注入法を用いて不純物を注入し、不純物ドーピングによる第1の不純物領域(低濃度)21を形成する。この不純物領域21は、例えば、nMOSトランジスタではP、As等を注入し、pMOSトランジスタではB、BF₂等を注入して形成する。

【0022】次に、図4に示すように、各ゲート電極の上面および側面を覆ってシリコン酸化膜の絶縁層3を堆積し、半導体基板10のゲート電極、分離領域11および不純物領域21等の露出表面全体をこのシリコン酸化膜3で被服する。シリコン酸化膜3は、減圧および常圧CVD法で堆積したTEOS酸化膜や塗化膜等の絶縁膜、またはそれらの重ね膜であり、膜厚は10～500nmとしている。

【0023】次に、図5に示すように、所望のゲート電極A、ダミーのゲート電極BおよびC等について、RIE法等のドライエッティングを用いて、各ゲート電極の側面に被着されているシリコン酸化絶縁膜3のみを残して他部をエッティング除去することにより、それぞれのゲート電極A、BおよびCのサイドウォールスペーサ3a、3bおよび3cを形成する。

【0024】このとき、図6に示すように、ゲート電極Bと隣のゲート電極Dとの間隔Sが大きく離れている場合は、ゲート電極Bのサイドウォールスペーサ3bは、隣のゲート電極Dとの間隔が離れている側ではエッティング時の反応生成物が多く堆積するため(サイドウォール幅のエッティング特性)、隣のゲート電極との間隔が狭いゲート電極Aのサイドウォールスペーサ3aに比べ、その幅が大きくなる(w' > w)。即ち、所望のゲート電極Aについては、ダミーのゲート電極Bを適当な間隔をもって配置することにより、サイドウォール形成時のエ

ッキング特性によりサイドウォール幅を調整し、幅に差異の生じないサイドウォールスペーサ3aを得ることができることを示している。

【0025】次に、図7に示すように、イオン注入法を用いて第1の不純物領域21の部分より更に深く不純物を注入し、第2の不純物領域22(高濃度)を半導体基板10内に形成し、LDD構造のトランジスタを形成する。この第2の不純物領域22は、第1の不純物領域21と同様に、nMOSトランジスタではりん(P)、砒素(As)等を注入し、pMOSトランジスタではボロン(B)、BF₂等を注入してドーピングによる不純物拡散層領域を形成する。

【0026】上述のように、本実施例ではダミーのゲート電極を配置することにより、ゲート電極の粗密のばらつきによるサイドウォールスペーサ幅のばらつきをなくし、LDD構造のトランジスタにおいてソース・ドレン構造の差をなくした安定したトランジスタ特性の半導体装置を実現する。

【0027】

20 【実施例2】図1乃至図8(a)、(b)、図9(a)、(b)を用いて本発明の第2の実施例について説明する。なお、各図において共通する要素には同一の符号を付し、重複する説明については省略している。

【0028】一般に図9(a)に示すように、RIE法等のドライエッティングを用いて、ゲート電極の側面に被着されているシリコン酸化絶縁膜のみを残して他部をエッティング除去することにより、それぞれのゲート電極のサイドウォールスペーサを形成する場合(図5、図6、図7参照)、本発明ではLDD構造のトランジスタであるため、サイドウォール成膜前に注入する低濃度の第1不純物領域21間の間隔により実効チャンネル長L_{eff}が決まる(図3参照)。従って長さL_{eff}は一定に設定して、サイドウォール幅wを図9(b)に示すようにw'に変えることで、低濃度の不純物領域21の第2の不純物領域22によって決まる幅XをX'に変えることができ、所望のトランジスタ特性を得るものである。このとき、長さL_{eff}はゲート長Lが同じならばL_{eff}も同じであり、不純物領域の幅Xはサイドウォール幅wによって決まり、wが大ならばXも大となる。

40 【0029】図8(a)において、Aは所望のゲート電極、BおよびCはダミーのゲート電極であり、3aは所望のゲート電極Aのサイドウォールスペーサを示す。また、図8(b)において、A'は所望のゲート電極、B'およびC'はダミーのゲート電極であり、3a'は所望のゲート電極A'のサイドウォールスペーサを示す。本実施例の半導体装置の製造方法については、第1の実施例と同様であるのでその説明はここでは省略する。

【0030】本実施例の特徴は、図9(a)および(b)を用いて説明したサイドウォール形成時のエッチ

ング特性を利用することにより、所望の電極に関してダミーのゲート電極を配置する間隔Sを調整することにより、所望のゲート電極のサイドウォールスペーサの幅を制御することである。

【0031】例えば、図8(a)に示すように、所望の電極Aに関してダミーのゲート電極B、Cを配置する間隔を狭くすることで、所望のゲート電極Aのサイドウォールスペーサ3aの幅wを狭くし、また、図8(b)に示すように、ダミーのゲート電極B'、C'を配置する間隔を広くすることで、所望のゲート電極A'のサイドウォールスペーサ3a'の幅w'を広くしている。

【0032】なお、本実施例では、所望のゲート電極に関してダミーのゲート電極を配置しないことによっても、サイドウォールスペーサの幅を変えることができる。このように、本実施例では、ダミーのゲート電極を配置することによりゲート電極の配置間隔に粗密の差を設けること、またはダミーのゲート電極を配置しないことによって、サイドウォールスペーサ幅に差異を出すように制御し、低濃度の不純物領域の幅Xを変え、トランジスタ特性を変えることができる。このようにして、所望のトランジスタ特性を有する半導体装置を実現している。

【0033】

【実施例3】実施例2の説明で参照した図1乃至図8(a)、図8(b)を兼用して本発明の第3の実施例について説明する。なお、各図において共通する要素には同一の符号を付し、重複する説明については省略している。

【0034】図8(a)において、Aは高駆動能力の必要なトランジスタのゲート電極、BおよびCはダミーのゲート電極であり、3aは所望のゲート電極Aのサイドウォールスペーサを示す。また、図8(b)において、A'は低リークが必要なトランジスタのゲート電極、B'およびC'はダミーのゲート電極であり、3a'はゲート電極A'のサイドウォールスペーサを示すものとする。本実施例の半導体装置の製造方法については、第1の実施例と同様である。

【0035】本実施例の特徴は、実施例2の場合と同様に、図9(a)および(b)を用いて説明したサイドウォール形成時のエッチング特性を利用することにより、ダミーのゲート電極を配置する間隔Sを調整することにより、所望のゲート電極のサイドウォールスペーサの幅を制御し、使用するトランジスタの特性に応じて、ダミーのゲート電極の配置を調整することを特徴とするものである。即ち、図8(a)に示すように、高駆動能力の必要なトランジスタには、ダミーのゲート電極B、Cを配置する間隔を狭くし、図8(b)に示すように、低リークが必要なトランジスタには、ダミーのゲート電極B'、C'を配置する間隔を広くしている。このように、使用するトランジスタの特性に応じてダミーのゲ

ト電極の配置構成を調整することで、サイドウォール幅を変えた半導体装置を実現している。

【0036】

【実施例4】図1乃至図7、図10(a)、(b)を用いて本発明の第4の実施例について説明する。なお、各図において共通する要素には同一の符号を付し、重複する説明については省略している。

【0037】図10(a)において、A、BおよびCは高駆動能力の必要なトランジスタのゲート電極、3aはゲート電極Aのサイドウォールスペーザを示す。また、図10(b)において、A'、B'およびC'は低リークが必要なトランジスタのゲート電極、3a'はゲート電極A'のサイドウォールスペーザを示す。本実施例の半導体装置の製造方法については、第1の実施例と同様である。

【0038】本実施例の特徴は、使用するトランジスタの特性に応じて、ゲート電極(トランジスタ)の配置を調整することである。即ち、実施例3との相違点は、実施例3ではダミーのゲート電極を配置調整したのに対して、本実施例ではダミーではなくゲート電極(トランジスタ)の配置調整をしたことが異なる。

【0039】即ち、図10(a)に示すように、高駆動能力の必要なトランジスタには、隣のゲート電極B、Cを配置する間隔を狭くし、図10(b)に示すように、低リークが必要なトランジスタには、隣のゲート電極B'、C'を配置する間隔を広くしている。このように使用するトランジスタの特性に応じてゲート電極(トランジスタ)の配置構成を調整することで、サイドウォール幅を変えた($w' > w$)半導体装置を実現している。

【0040】

【実施例5】図1乃至図7、図11、図12を用いて本発明の第5の実施例について説明する。なお、各図において共通する要素には同一の符号を付し、重複する説明については省略している。

【0041】図11において、Aは所望のトランジスタのゲート電極、Bはダミーのゲート電極であり、所望のゲート電極Aの両サイドウォールスペーザのうち、a1はゲート電極Aのダミーゲート電極配置側のサイドウォールスペーザを示し、a2はゲート電極Aのダミーゲート電極が配置していない側のサイドウォールスペーザを示す。本実施例の半導体装置の製造方法については、第1の実施例と同様である。

【0042】本実施例の特徴は、所望のゲート電極Aの片側にのみダミーのゲート電極を配置することで、左右でサイドウォールスペーザの幅が異なる($w < w'$)トランジスタを形成していることである。

【0043】本実施例にかかるトランジスタの特徴について、図12を参照して説明する。同図において、31および34はLDD構造における不純物濃度の濃い領域、32および33は不純物濃度の薄い領域である。こ

こで、高濃度領域31をソース、高濃度領域34をドレンとした場合、低濃度領域32の幅Xは低濃度領域33の幅X'に比べて短いため、低濃度領域32の寄生抵抗による電流の低下ではなく、また、低濃度領域33における電界が小さいため、ホットキャリア耐性が強いトランジスタが得られる。

【0044】

【実施例6】図1乃至図7、図11乃至図13を用いて本発明の第6の実施例について説明する。なお、各図において共通する要素には同一の符号を付し、重複する説明については省略している。

【0045】図13において、41は活性領域であり、42はゲート電極である。また、X-Y方向における断面図が図11に示す構成となる。即ち、ゲート電極42は第1の交差部42aと第2の交差部42bを有し、第1の交差部42aと第2の交差部42bは連結部42cにより連結されて一体構成となっている。ここで、第1の交差部42aと第2の交差部42bは、それぞれ図11におけるゲート電極AとBに対応する。本実施例の半導体装置の製造方法については、第1の実施例と同様である。

【0046】このように、本実施例の特徴は、図13に示すように、上面図が所望のゲート電極42を活性領域41と交差するようにコ字形状に折り曲げて配置することで、所望のゲート電極42自体にダミーのゲート電極の機能も兼ねた構成としていることである。上記構成により、ダミーのゲート電極を配置することなく、図11に示すような左右でサイドウォールスペーサの幅が異なるトランジスタを形成することができ、ホットキャリア耐性が強いトランジスタを有する半導体装置を実現することができる。

【0047】以上、本発明の第1の態様によれば、ゲート電極の粗密の差によるサイドウォールスペーサ幅の差をなくすことによりトランジスタ特性をそろえた半導体装置およびその製造方法を提供する。

【0048】本発明の第2の態様によれば、ゲート電極の配置間隔に粗密の差を設けることによりトランジスタ特性に生じる差を有効利用した半導体装置およびその製造方法を実現するものである。

【0049】本発明の第3の態様によれば、高駆動能力の必要なトランジスタには、ダミーのゲート電極を配置する間隔を狭くし、低リードが必要なトランジスタには、ダミーのゲート電極を配置する間隔を広くし、使用的トランジスタの特性に応じてダミーのゲート電極の配置構成を調整することで、サイドウォール幅を変えた半導体装置を実現している。

【0050】本発明の第4の態様によれば、高駆動能力の必要なトランジスタには、隣のゲート電極を配置する間隔を狭くし、低リードが必要なトランジスタには、隣のゲート電極を配置する間隔を広くして、使用するトランジスタ

トランジスタの特性に応じてゲート電極（トランジスタ）の配置構成を調整することで、サイドウォール幅を変えた半導体装置を実現している。

【0051】本発明の第5の態様によれば、所望のゲート電極の片側にのみダミーのゲート電極を配置することで、左右でサイドウォールスペーサの幅が異なるトランジスタを形成し、ホットキャリア耐性が強いトランジスタが得られる。

【0052】本発明の第6の態様によれば、所望のゲート電極を活性領域と交差するようにコ字形状に折り曲げて配置することで、所望のゲート電極自体にダミーのゲート電極の機能も兼ねた構成とし、ダミーのゲート電極を配置することなく、左右でサイドウォールスペーサの幅が異なるトランジスタを形成することができ、ホットキャリア耐性が強いトランジスタを有する半導体装置を実現する。

【0053】

【発明の効果】以上のように、本発明によれば、ダミーのゲート電極を適宜配置することで、ゲート電極の配置間隔の粗密の差を調整することによりサイドウォールスペーサの幅を制御し、トランジスタ特性を調整することが可能となる。

【図面の簡単な説明】

【図1】 本発明に係る半導体装置の製造工程を示す断面図

【図2】 本発明に係る半導体装置の製造工程を示す断面図

【図3】 本発明に係る半導体装置の製造工程を示す断面図

【図4】 本発明に係る半導体装置の製造工程を示す断面図

【図5】 本発明に係る半導体装置の製造工程を示す断面図

【図6】 本発明の半導体装置のサイドウォール幅調整を説明するための要部断面図

【図7】 本発明に係る半導体装置の製造工程を示す断面図

【図8】 (a)、(b)は本発明の第2および第3の実施例に係る半導体装置の断面図

【図9】 (a)、(b)は本発明の半導体装置のサイドウォール幅調整を説明するための要部断面図

【図10】 (a)、(b)は本発明の第4の実施例に係る半導体装置の断面図

【図11】 本発明の第5および第6の実施例に係る半導体装置の断面図

【図12】 本発明の第5および第6の実施例に係る半導体装置の断面図

【図13】 本発明の第6の実施例に係る半導体装置の上面図

【図14】 従来の半導体装置の断面図

【図15】 従来の半導体装置の断面図

【符号の説明】

- 1 シリコン酸化膜
2 シリコン膜
3 シリコン絶縁膜
3a、3b、3c サイドウォールスペーサ
10 半導体基板
11 分離領域

A ゲート電極

B、C ダミーのゲート電極

21、22 不純物領域

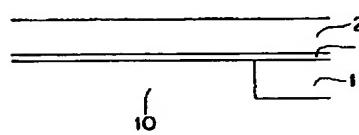
31、34 不純物濃度の濃い領域

32、33 不純物濃度の薄い領域

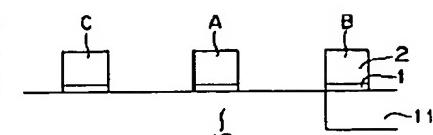
41 活性領域

42 ゲート電極

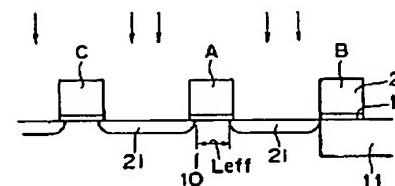
【図1】



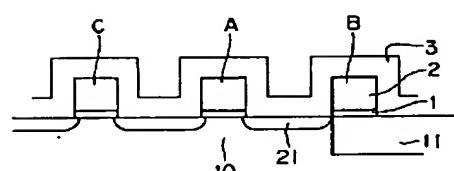
【図2】



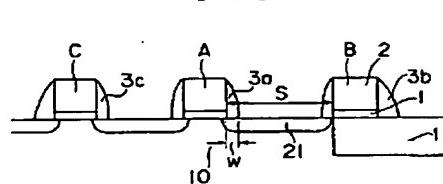
【図3】



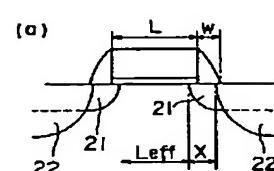
【図4】



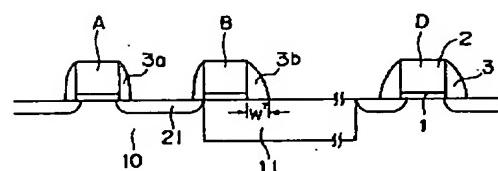
【図5】



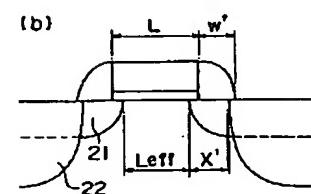
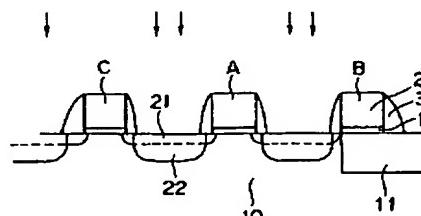
【図9】



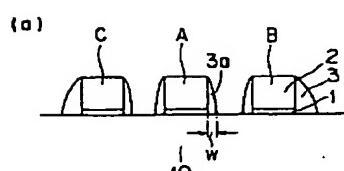
【図6】



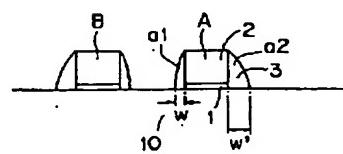
【図7】



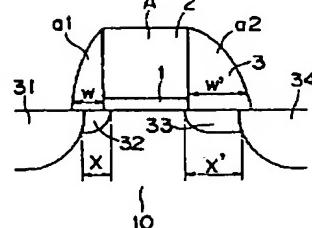
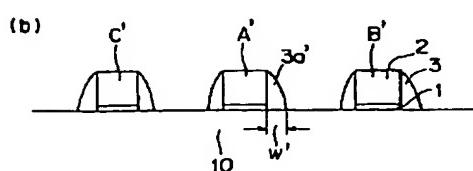
【図8】



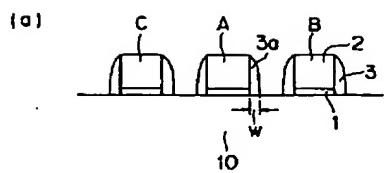
【図11】



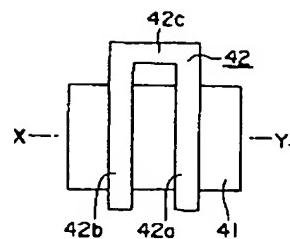
【図12】



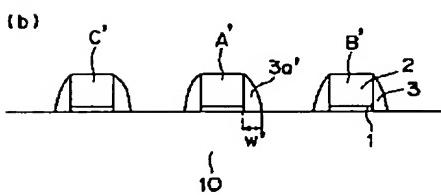
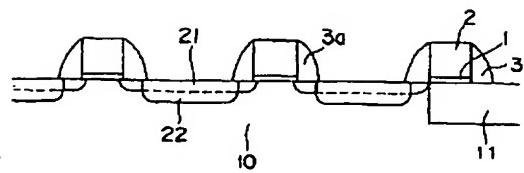
【図10】



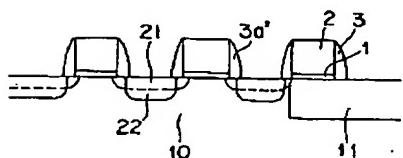
【図13】



【図14】



【図15】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB02 BB18 BB25
 BB28 BB40 CC05 DD03 DD04
 DD08 DD16 EE09 FF01 GG09
 GG10 GG14 HH20
 5F040 DA00 DA17 DB01 DB03 EC01
 EC05 EC07 EC08 EC09 EC10
 EF18 EK01 EK05 FA05 FB02
 FB04 FC11 FC21 FC22
 5F048 AA07 AC01 BA01 BB01 BB02
 BB06 BB08 BB09 BB12 BC03
 BC06 BG14 DA25